

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-004187
 (43)Date of publication of application : 06.01.1998

(51)Int.CI. H01L 29/74
 H01L 21/332

(21)Application number : 09-063639 (71)Applicant : SAMSUNG ELECTRON CO LTD
 (22)Date of filing : 17.03.1997 (72)Inventor : KIM TAE-HOON

(30)Priority

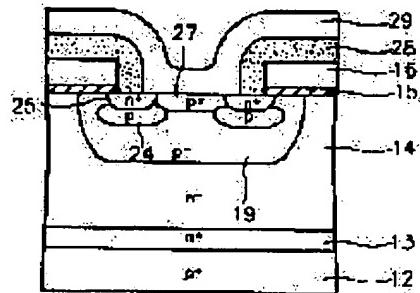
Priority number : 96 9606994 Priority date : 15.03.1996 Priority country : KR
 96 9610830 10.04.1996 KR

(54) POWER SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power semiconductor device and manufacture thereof which improves the latch up, without using the p+-type well region, simplifies the fabrication process and reduces the chip size.

SOLUTION: A p+-type cathode ohmic contact region 27 is formed on the surface of a p--type well region 19 between n+-type source junction regions 25. A p-type impurity region 24 having an impurity concn. lower than that of the contact region 27 but higher than that of the well region 19 is formed in the well region 19 so as to cover the bottom of the junction region 25 pattern.



LEGAL STATUS

[Date of request for examination] 14.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-4187

(43)公開日 平成10年(1998)1月6日

(51)Int.Cl.^o
H 0 1 L 29/74
21/332

識別記号

府内整理番号

F I

H 0 1 L 29/74

技術表示箇所

N

3 0 1

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21)出願番号 特願平9-63639
(22)出願日 平成9年(1997)3月17日
(31)優先権主張番号 1996 P - 6994
(32)優先日 1996年3月15日
(33)優先権主張国 韓国 (KR)
(31)優先権主張番号 1996 P - 10830
(32)優先日 1996年4月10日
(33)優先権主張国 韓国 (KR)

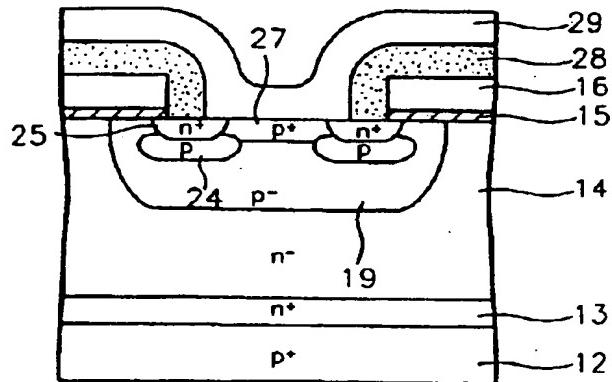
(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72)発明者 金台勲
大韓民国京畿道富川市遠美区上洞サランマ
ウル1605-804
(74)代理人 弁理士 萩原誠

(54)【発明の名称】 電力半導体装置及びその製造方法

(57)【要約】

【課題】 p⁺型ウェル領域を使用しないでラッチアップを改善でき、製造工程が簡単になるとともに、チップサイズを縮小できる電力半導体装置及びその製造方法を提供すること。

【解決手段】 n⁺型ソース接合領域25間にp⁻型ウェル領域19表面部にp⁺型カソードオーミック接触領域27を形成するとともに、このp⁺型カソードオーミック接触領域27よりは不純物濃度が低く、p⁻型ウェル領域19よりは不純物濃度が高いp型不純物領域24を前記n⁺型ソース接合領域25の底部を覆ってp⁻型ウェル領域19内に形成する。



1

【特許請求の範囲】

- 【請求項1】 高濃度の不純物がドープされた第1導電型の半導体基板と、前記第1導電型の半導体基板上に設けられた高濃度の不純物がドープされた第2導電型のバッファ層と、前記バッファ層上にエピタキシャル成長によって設けられた低濃度の第2導電型の半導体層と、前記半導体層上にゲート酸化膜を介して設けられたゲートポリシリコン膜と、前記ゲートポリシリコン膜間の前記半導体層表面部内に設けられた低濃度の不純物がドープされた第1導電型のウェル領域と、前記ウェル領域の表面部内に、前記ゲートポリシリコン膜の下方部を部分的に含んで設けられた高濃度の不純物ドープの第2導電型のソース接合領域と、前記ウェル領域の表面部内に、前記ソース接合領域間で形成された高濃度の不純物ドープの第1導電型のカソードオーミック接触領域と、前記ウェル領域内に、前記ソース接合領域の真下で前記ソース接合領域の底部を覆って形成され、前記カソードオーミック接触領域の不純物濃度より低いが、前記ウェル領域の不純物濃度よりは濃度が高い不純物がドープされた第1導電型の不純物拡散領域とを含む電力半導体装置。
- 【請求項2】 高濃度の不純物がドープされた第1導電型の半導体基板上に高濃度の不純物がドープされた第2導電型のバッファ層を設ける工程と、前記バッファ層上にエピタキシャル成長によって低濃度の第2導電型の半導体層を設ける工程と、前記半導体層上に酸化膜を介してポリシリコン膜を設ける工程と、前記ポリシリコン膜上に感光膜パターンを形成してウェル形成領域を区切る工程と、前記感光膜パターンをマスクとして使用して前記ポリシリコン膜と前記酸化膜を選択的に除去してゲート酸化膜およびゲートポリシリコン膜を形成する工程と、前記ゲートポリシリコン膜をマスクとして使用して不純物イオンを前記半導体層に注入し、そして拡散により前記半導体層内に第1導電型のウェル領域を設ける工程と、前記ウェル領域の表面上に塗化膜パターンを形成してラッチャップ制御用不純物注入領域とソース接合領域形成領域を画定する工程と、前記ゲートポリシリコン膜と前記塗化膜パターンをマスクとして、前記ウェル領域の不純物濃度より高い濃度の第1導電型の不純物を前記ウェル領域内に注入して第1不純物注入層を形成する工程と、前記ゲートポリシリコン膜と前記塗化膜パターンをマスクとして高濃度の第2導電型の不純物を前記ウェル領域内に注入して第2不純物注入層を形成する工程と、

10 2

- 前記第1、第2不純物注入層を拡散させて前記ウェル領域の不純物濃度より高い不純物濃度を有する第1導電型の不純物拡散領域と第2導電型のソース接合領域を前記ウェル領域内に設け、前記不純物拡散領域が前記ソース接合領域の底部を覆うようとする工程と、前記塗化膜パターンを除去した後、第1導電型の不純物イオン注入により前記不純物拡散領域の不純物濃度より高い不純物濃度を有する第1導電型のカソードオーミック接触領域を前記ウェル領域内に設ける工程と、前記ゲートポリシリコン膜との電気的接触を防止する絶縁膜を介して前記カソードオーミック接触領域上に金属電極を設ける工程とを含む電力半導体装置の製造方法。
- 【請求項3】 請求項2記載の電力半導体装置の製造方法において、前記第1導電型はp型であり、第2導電型はn型であることを特徴とする電力半導体装置の製造方法。
- 【請求項4】 半導体基板上に設けられた低濃度不純物ドープの第1導電型ウェル領域と、このウェル領域内に設けられた高濃度不純物ドープの第2導電型ソース接合領域と、前記ウェル領域上にゲート酸化膜を介して設けられたゲートポリシリコン膜とを有する電力半導体装置において、前記ウェル領域内に、前記ソース接合領域間で形成され、高濃度の不純物がドープされた第1導電型のカソードオーミック接触領域と、前記ウェル領域内に、前記ソース接合領域の底部を覆って形成され、前記カソードオーミック接触領域の不純物濃度より低いが、前記ウェル領域の不純物濃度よりは濃度が高い不純物がドープされた第1導電型の不純物拡散領域とを含むことを特徴とする電力半導体装置。
- 【請求項5】 半導体基板上に設けられた低濃度不純物ドープの第1導電型ウェル領域と、このウェル領域内に設けられた高濃度不純物ドープの第2導電型ソース接合領域と、前記ウェル領域上にゲート酸化膜を介して設けられたゲートポリシリコン膜とを有する電力半導体装置の製造方法において、前記ウェル領域内に、前記ソース接合領域間で、高濃度不純物ドープの第1導電型カソードオーミック接触領域を設ける工程と、前記カソードオーミック接触領域の不純物濃度よりは低く、前記ウェル領域の不純物濃度より高い不純物濃度の第1導電型不純物拡散領域を前記ウェル領域内に前記ソース接合領域の底部を覆って形成する工程とを含むことを特徴とする電力半導体装置の製造方法。
- 【請求項6】 高濃度の不純物がドープされた第1導電型の半導体基板上に高濃度の不純物がドープされた第2導電型のバッファ層を形成する工程と、前記バッファ層上にエピタキシャル成長によって低濃度の第2導電型の半導体層を形成する工程と、前記半導体層上に酸化膜を介してポリシリコン膜を形成

する工程と、
前記ポリシリコン膜上に感光膜パターンを形成してウェル形成領域を画定する工程と、
前記感光膜パターンをマスクとして前記ポリシリコン膜を選択的に除去してゲートポリシリコン膜を形成する工程と、
前記感光膜パターンの除去後、前記ゲートポリシリコン膜をマスクとして不純物イオンを注入して前記半導体層内に第1導電型のウェル領域を形成する工程と、
前記ウェル領域表面上の前記酸化膜を選択的に除去して、ウェル領域表面上に酸化膜パターンを形成する工程と、
前記ゲートポリシリコン膜と前記酸化膜パターンをマスクとして高濃度の不純物イオンを注入して前記ウェル領域内に第2導電型の第1不純物注入層を形成する工程と、
前記ゲートポリシリコン膜をマスクとして不純物のイオン注入を行って、前記酸化膜の除去部を通して形成される第1導電型の第2不純物注入層と前記酸化膜パターンを通して形成される第1導電型の第3不純物注入層を前記ウェル領域内に同時に形成し、しかも前記第2不純物注入層は前記第1不純物注入層により下に形成し、前記第3不純物注入層は前記第1不純物注入層よりは下、前記第2不純物注入層よりは上に形成する工程と、
続いて熱処理をして前記第1、第2、第3不純物注入層の不純物を拡散させて、前記ウェル領域内にソース接合領域、ラッチアップ制御用不純物拡散領域およびカソードオーミック接触領域を形成し、ラッチアップ制御用不純物拡散領域はソース接合領域の底部を覆って形成する工程と、
前記ゲートポリシリコン膜との電気的接触を防止する絶縁膜を介して前記カソードオーミック接触領域上に金属電極を形成する工程とを含む電力半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電力半導体装置及びその製造方法に係り、より詳しくはラッチアップを制御する不純物注入構造を有する電力半導体装置及びその製造方法に関する。

【0002】

【従来の技術】周知の如く、電力半導体装置のうちゲートドライブトランジスタ(gated transistor)、特にnチャネルのゲートドライブトランジスタにおいては、ラッチアップ現象が、動作可能な電流の大きさを制限する主な原因として作用する。

【0003】つまり、サイリスタ構造を有するゲートドライブトランジスタにおいて、p+型ウェル領域の上部に設けられたn+型ソース接合領域の下方に流れるホール電流が大きくなると、前記p+型ウェル領域の抵抗値によ

って前記ウェル領域とソース接合領域との電圧差が発生するようになる。その電圧差が一定値以上になると寄生n-p-n-pサイリスタが動作するようになる。このサイリスタが動作すると、p-n-pトランジスタに電流が供給される結果、ゲート電圧を遮断してもそのp-n-pトランジスタがターン・オフされなく、むしろそのp-n-pトランジスタを通して電流がさらに増加するようになる。このような動作により前記ゲートドライブトランジスタの温度が上がって、延いてはゲートドライブトランジスタが破壊されることになる。かかる一連の過程がラッチアップ現象である。

【0004】上述のラッチアップ現象を防ぐためには、動作可能電流を増すことが必要である。すなわち、n+型ソース接合領域の下にあるp+型ウェル領域の抵抗をできるだけ小さくして、それら間の電圧差を減らすようにするのである。このように抵抗を減らすための種々の試みが行われており、とりわけ一番広く使われている構造がp+型ウェル領域内にp+型ウェル領域をイオン注入で形成することである。このような構造を有する従来の半導体装置が図1-1に示されている。

【0005】図1-1を参考すれば、図示しない電極が裏面に設けられた高濃度のp+型半導体基板1-2上に高濃度のn+型バッファ層1-3が形成され、このn+型バッファ層1-3上には低濃度のn-型半導体層1-4がエピタキシャル成長によって形成されている。このn-型半導体層1-4上にはゲート酸化膜1-5を介してゲートポリシリコン膜1-6が形成されている。また、ゲートポリシリコン膜1-6間で前記n-型半導体層1-4の表面部内には、不純物イオン注入及び熱拡散によってp+型ウェル領域1-9が形成され、さらにラッチアップが発生しないようにするために形成される高濃度のp+型ウェル領域3-0が不純物イオン注入及び熱拡散によりp+型ウェル領域1-9の中央部を貫通しつつ前記n-型半導体層1-4の一部分まで延びて設けられている。また、ソース形成用マスクを使用して前記p+型ウェル領域1-9と前記p+型ウェル領域3-0の表面部内にn+型ソース接合領域2-5が形成され、このn+型ソース接合領域2-5の一部と前記p+型ウェル領域3-0の表面上には陰極として金属電極2-9が形成されている。この金属電極2-9と前記ゲートポリシリコン膜1-6との間には、電気的絶縁のためにPSG膜2-8が形成されている。また、前記ウェル領域1-9はゲートポリシリコン膜1-6下に広がっており、したがって、ゲート酸化膜1-5とゲートポリシリコン膜1-6は一部ウェル領域1-9上にも位置する。

【0006】上述のゲートドライブトランジスタは、p+型ウェル領域1-9を貫通して設けられたp+型ウェル領域3-0によりソース接合領域2-5の下方に流れる電流の大きさを制限することができ、即ちp+型ウェル領域3-0によって抵抗が小さくなるので、前記ソース接合領域2-5と前記ウェル領域1-9、3-0間の電圧差を減らすこと

ができ、ラッチアップを改善できる。

【0007】

【発明が解決しようとする課題】しかし、上述のゲートドットランジスタでは、製造時、 p^+ 型ウェル領域30を設けるために各セル毎にほぼ2~3μm以上の窓をn-型半導体層14上に設けなければならないので、マスクの製作が必要になり、これによって、さらに、チップサイズが大きくなる問題点もあった。なお、マスク製作による追加の工程が実行されなければいけないので、上述のゲートドットランジスタでは製造工程が複雑になる問題点もあった。

【0008】本発明は、上述の諸問題点を解決するために提案されたもので、その目的は、ラッチアップを改善しつつ製造工程が簡単で、しかもチップサイズを縮小できる電力半導体装置及びその製造方法を提供することにある。

【0009】本発明の別の目的は、 p^+ 型ウェル領域を使用しないでラッチアップを改善することができる電力半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために本発明の一つの特徴によると、電力半導体装置は、高濃度の不純物がドープされた第1導電型の半導体基板と、この第1導電型の半導体基板上に設けられた高濃度の不純物がドープされた第2導電型のバッファ層と、このバッファ層上にエピタキシャル成長によって設けられた低濃度の第2導電型の半導体層と、この半導体層上にゲート酸化膜を介して設けられたゲートポリシリコン膜と、このゲートポリシリコン膜間の前記半導体層表面部内に設けられた低濃度の不純物がドープされた第1導電型のウェル領域と、このウェル領域の表面部内に、前記ゲートポリシリコン膜の下方部を部分的に含んで設けられた高濃度の不純物ドープの第2導電型のソース接合領域と、前記ウェル領域の表面部内に、前記ソース接合領域間で形成された高濃度の不純物ドープの第1導電型のカソードオーミック接触領域と、前記ウェル領域内に、前記ソース接合領域の真下で前記ソース接合領域の底部を覆って形成され、前記カソードオーミック接触領域の不純物濃度より低いが、前記ウェル領域の不純物濃度よりは濃度が高い不純物がドープされた第1導電型の不純物拡散領域とを含む。

【0011】本発明の他の特徴によると、高濃度の不純物がドープされた第1導電型の半導体基板上に高濃度の不純物がドープされた第2導電型のバッファ層を設ける工程と、前記バッファ層上にエピタキシャル成長によって低濃度の第2導電型の半導体層を設ける工程と、前記半導体層上に酸化膜を介してポリシリコン膜を設ける工程と、前記ポリシリコン膜上に感光膜パターンを形成してウェル形成領域を区切る工程と、前記感光膜パターンをマスクとして使用して前記ポリシリコン膜と前記酸化

膜を選択的に除去してゲート酸化膜およびゲートポリシリコン膜を形成する工程と、前記ゲートポリシリコン膜をマスクとして使用して不純物イオンを前記半導体層に注入し、そして拡散により前記半導体層内に第1導電型のウェル領域を設ける工程と、前記ウェル領域の表面上に窒化膜パターンを形成してラッチアップ制御用不純物注入領域とソース接合領域形成領域を画定する工程と、前記ゲートポリシリコン膜と前記窒化膜パターンをマスクとして、前記ウェル領域の不純物濃度より高い濃度の

- 10 膜を選択的に除去してゲート酸化膜およびゲートポリシリコン膜を形成する工程と、前記ゲートポリシリコン膜をマスクとして使用して不純物イオンを前記半導体層に注入し、そして拡散により前記半導体層内に第1導電型のウェル領域を設ける工程と、前記ウェル領域の表面上に窒化膜パターンを形成してラッチアップ制御用不純物注入領域とソース接合領域形成領域を画定する工程と、前記ゲートポリシリコン膜と前記窒化膜パターンをマスクとして、前記ウェル領域の不純物濃度より高い濃度の
- 20 第1導電型の不純物を前記ウェル領域内に注入して第1不純物注入層を形成する工程と、前記ゲートポリシリコン膜と前記窒化膜パターンをマスクとして高濃度の第2導電型の不純物を前記ウェル領域内に注入して第2不純物注入層を形成する工程と、前記第1、第2不純物注入層を拡散させて前記ウェル領域の不純物濃度より高い不純物濃度を有する第1導電型の不純物拡散領域と第2導電型のソース接合領域を前記ウェル領域内に設け、前記不純物拡散領域が前記ソース接合領域の底部を覆うようになる工程と、前記窒化膜パターンを除去した後、第1導電型の不純物イオン注入により前記不純物拡散領域の不純物濃度より高い不純物濃度を有する第1導電型のカソードオーミック接触領域を前記ウェル領域内に設ける工程と、前記ゲートポリシリコン膜との電気的接触を防止する絶縁膜を介して前記カソードオーミック接触領域上に金属電極を設ける工程とを含む。
- 30 【0012】本発明のさらに別の特徴によると、半導体基板上に設けられた低濃度不純物ドープの第1導電型ウェル領域と、このウェル領域内に設けられた高濃度不純物ドープの第2導電型ソース接合領域と、前記ウェル領域上にゲート酸化膜を介して設けられたゲートポリシリコン膜とを有する電力半導体装置は、前記ウェル領域内に、前記ソース接合領域間で形成され、高濃度の不純物がドープされた第1導電型のカソードオーミック接触領域と、前記ウェル領域内に、前記ソース接合領域の底部を覆って形成され、前記カソードオーミック接触領域の不純物濃度より低いが、前記ウェル領域の不純物濃度よりは濃度が高い不純物がドープされた第1導電型の不純物拡散領域とをさらに含む構造を有する。
- 40 【0013】本発明の別の特徴によると、半導体基板上に設けられた低濃度不純物ドープの第1導電型ウェル領域と、このウェル領域内に設けられた高濃度不純物ドープの第2導電型ソース接合領域と、前記ウェル領域上にゲート酸化膜を介して設けられたゲートポリシリコン膜とを有する電力半導体装置の製造方法は、前記ウェル領域内に、前記ソース接合領域間で、高濃度不純物ドープの第1導電型カソードオーミック接触領域を設ける工程と、前記カソードオーミック接触領域の不純物濃度よりは低く、前記ウェル領域の不純物濃度よりは高い不純物濃度の第1導電型不純物拡散領域を前記ウェル領域内に前記ソース接合領域の底部を覆って形成する工程とを含

む。

【0014】本発明のさらに別の特徴によると、高濃度の不純物がドープされた第1導電型の半導体基板上に高濃度の不純物がドープされた第2導電型のバッファ層を形成する工程と、前記バッファ層上にエピタキシャル成長によって低濃度の第2導電型の半導体層を形成する工程と、前記半導体層上に酸化膜を介してポリシリコン膜を形成する工程と、前記ポリシリコン膜上に感光膜パターンを形成してウェル形成領域を画定する工程と、前記感光膜パターンをマスクとして前記ポリシリコン膜を選択的に除去してゲートポリシリコン膜を形成する工程と、前記感光膜パターンの除去後、前記ゲートポリシリコン膜をマスクとして不純物イオンを注入して前記半導体層内に第1導電型のウェル領域を形成する工程と、前記ウェル領域表面上の前記酸化膜を選択的に除去して、ウェル領域表面上に酸化膜パターンを形成する工程と、前記ゲートポリシリコン膜と前記酸化膜パターンをマスクとして高濃度の不純物イオンを注入して前記ウェル領域内に第2導電型の第1不純物注入層を形成する工程と、前記ゲートポリシリコン膜をマスクとして不純物のイオン注入を行って、前記酸化膜の除去部を通じて形成される第1導電型の第2不純物注入層と前記酸化膜パターンを通じて形成される第1導電型の第3不純物注入層を前記ウェル領域内に同時に形成し、しかも前記第2不純物注入層は前記第1不純物注入層より下に形成し、前記第3不純物注入層は前記第1不純物注入層よりは下、前記第2不純物注入層よりは上に形成する工程と、続いて熱処理をして前記第1、第2、第3不純物注入層の不純物を拡散させて、前記ウェル領域内にソース接合領域、ラッチアップ制御用不純物拡散領域およびカソードオームック接触領域を形成し、ラッチアップ制御用不純物拡散領域はソース接合領域の底部を覆って形成する工程と、前記ゲートポリシリコン膜との電気的接觸を防止する絶縁膜を介して前記カソードオームック接触領域上に金属電極を形成する工程とを含む。

【0015】上述の電力半導体装置によると、ウェル領域内にソース接合領域の底部を覆って設けられた不純物拡散領域によって前記ソース接合領域の下方に流れるホール電流の増加を防ぐことができるのでラッチアップの発生を防止できる。

【0016】また、上述の本発明の方法によると、 p^+ 型ウェル領域の形成がなく、この p^- 型ウェル領域を設ける場合に必要なイオン注入が不要となって、それぞれのセル毎にはば $2 \sim 3 \mu m$ の幅を有するイオン注入窓を開口させる必要がなくなるので、製造工程が簡素化されることは勿論のこと、チップサイズを縮小させることもできる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照して詳細に説明する。図1は本発明の電力半

導体装置の実施の形態を示す断面図である。この図において、 p^+ 型半導体基板12、 n^+ 型バッファ層13、 n^- 型半導体層14、ゲート酸化膜15、ゲートポリシリコン膜16、PSG膜28、金属電極29、 p^- 型ウェル領域19は図1の從来と同一であり、詳細な説明は省略する。この新規な電力半導体装置では、 p^- 型ウェル領域19の表面部内に、ゲートポリシリコン膜16の下方部を部分的に含んで n^+ 型ソース接合領域25が形成され、この n^+ 型ソース接合領域25間で p^- 型ウェル領域19の表面部内に高濃度の不純物がドープされた p^+ 型カソードオームック接触領域27が形成される。したがって、金属電極29は、 p^+ 型カソードオームック接触領域27と n^+ 型ソース接合領域25に接続されている。また、新規な構造として、ラッチアップを制御する p 型不純物拡散領域24が前記ウェル領域19内で前記ソース接合領域25の真下に該ソース接合領域25の底部を覆って形成されており、この不純物拡散領域24は前記カソードオームック接触領域27より低く、そして前記ウェル領域19より高い不純物濃度を有する。

【0018】このような本発明の電力半導体装置によると、前記 p^- 型ウェル領域19が低濃度の不純物を含有している領域になっているし、このウェル領域19内に相対的に高い不純物濃度を有する不純物拡散領域24が形成されていて、この不純物拡散領域24がソース接合領域25の底部を覆っているので、高濃度の不純物がトープされた p^+ 型ウェル領域を形成するためのイオン注入方法を使用しなくともラッチアップを改善することができる。

【0019】図2ないし図4は本発明の電力半導体装置の製造方法の第1の実施の形態を示す断面図であり、図1の電力半導体装置を製造する方法を示す図である。

【0020】この方法では、まず図2(a)に示すように、高濃度の p^+ 型半導体基板12上に燐(P)をドープ剤として高濃度ながら厚さが薄い n^+ 型バッファ層13をエピタキシャル成長によって設ける。次に、前記 n^+ 型バッファ層13上に燐(P)をドープ剤とする低濃度の n^- 型半導体層14をエピタキシャル成長によって設ける。

【0021】つづいて、前記 n^- 型半導体層14上に酸化膜とポリシリコン膜及び感光膜を順次に形成し、ゲート形成用マスクを使用する広く知られた写真工程によって前記感光膜をバーニングしてウェル形成領域を区切る。次に、前記感光膜のバーニングによって得られた感光膜パターン17をゲート形成用マスクとして使用するエッチング工程によって、図2(b)に示すように前記ポリシリコン膜と酸化膜を順次に選択的に除去して前記半導体層14上にゲート酸化膜15とゲートポリシリコン膜16を設ける。

【0022】このゲートポリシリコン膜16はゲート電

極として機能するためには導電性を有しなければならないが、この技術分野でよく知られた不純物注入技術によって導電性を与えることができる。不純物注入は、ポリシリコン膜を基板上の全面に形成した段階で行うことができる。

【0023】次に、感光膜パターン17の除去後、前記ゲートポリシリコン膜16をウェル領域形成用マスクとして使用して低濃度のp⁻型不純物イオンを半導体層14に注入する。その結果、図2(c)に示されるように、前記半導体層14内にp⁻型不純物注入層18が設けられる。つづいて熱拡散工程を実施することにより、前記p⁻型不純物注入層18が拡散されてp⁻型ウェル領域19が図3(a)に示されるように半導体層14内に設けられる。

【0024】なお、図2(b)、(c)に示す食刻工程およびイオン注入工程において、ポリシリコン膜だけを除去してパターン化されたゲートポリシリコン膜16を形成した後、すなわちそのポリシリコン膜の下部膜である酸化膜は除かない状態で、イオン注入工程を実行して前記不純物注入層18を形成することもできる。その場合、前記半導体層14の表面が前記イオン注入工程によって損傷されることがない。その後、酸化膜の露出部を除いてゲート酸化膜15とする。

【0025】次に、窒化膜を全表面上に形成した後、その窒化膜をバーニングして、図3(b)に示すようにウェル領域19上に窒化膜パターン21を形成する。そして、この窒化膜パターン21と前記ゲートポリシリコン膜16をマスクとしてラッチアップ制御用不純物領域を形成するためのp型不純物注入工程を前記ウェル領域19の不純物濃度より高い濃度で実行することにより、前記ウェル領域19内の所定の深さにp型不純物注入層(第1不純物注入層)20を設ける。

【0026】引き続き、前記マスクをソース接合領域形成用マスクを使用して高濃度のn⁺型不純物イオンを適切なエネルギーでウェル領域19に注入することにより、図3(c)に示すように、n⁺型不純物注入層(第2不純物注入層)22をウェル領域19内に前記p型不純物注入層20より浅く設ける。

【0027】なお、この例では、前記p型不純物注入層20の形成後、前記n⁺型不純物注入層22を形成しているが、n⁺型不純物注入層22をまず形成した後、前記p型不純物注入層20を形成することもできる。

【0028】その後、前記窒化膜パターン21を除去した後、熱拡散によって前記n⁺型不純物注入層22と前記p型不純物注入層20のある不純物イオンを拡散される。これにより、図4(a)に示すように、n⁺型ソース接合領域25とラッチアップ制御用不純物拡散領域24がウェル領域19内に設けられる。その際、p型不純物拡散領域24は、熱拡散時間と温度を適切に調節することによって、前記p⁻型ウェル領域19内に前記n⁺

型ソース接合領域25の底部を覆うように、そしてゲート酸化膜15の下部にあるチャンネルまでは延長されないように形成される。

【0029】そして、前記p型不純物拡散領域24は、なお前記p⁻型ウェル領域19より高い不純物濃度を有しているので、ラッチアップ現象を防止できる。即ち、前記n⁺型ソース接合領域25の下にはラッチアップ制御用不純物拡散領域24が形成されているので、前記ソース接合領域25の下の抵抗値が小さくなつて、前記p型不純物拡散領域24と、n⁺型ソース接合領域25との電圧差が小さくなつて寄生n p n pサイリスタが作動されることを防止することができる。

【0030】次に、前記ゲートポリシリコン膜16をマスクとして使用して高濃度のp⁺型不純物イオンを注入して前記ウェル領域19の表面部のソース接合領域25間にp⁺型不純物注入層26を図4(b)に示すように形成する。その後、熱処理工程によって前記不純物注入層26の不純物イオンを拡散させることにより、図4(c)に示すようにウェル領域19の表面部のソース接合領域25間にカソードオーミック接触領域27を設ける。なお、このカソードオーミック接触領域27は上述の通り他の熱処理工程によって形成されるが、後のPSG膜の形布工程でPSG膜の形成と同時に形成することもできる。また、前記ゲートポリシリコン膜16をマスクとして使用して前記領域27を前記n⁺型ソース接合領域25間に形成できるのは、前記n⁺型ソース接合領域25の不純物濃度が前記p⁺型カソードオーミック接触領域27の不純物濃度より相対的に高く形成されているからである。

【0031】その後、前記ゲートポリシリコン膜16上を含んで全表面にPSG膜28を形成し図4(c)のようにバーニングして、前記カソードオーミック接触領域27は勿論のこと、前記ソース接合領域25の一部表面が露出されるコンタクトホールを形成し、続いてコンタクトホールで前記両領域27、25に接続される金属電極29を前記PSG膜28上に形成する。なお、PSG膜28は、前記ゲートポリシリコン膜16と前記金属電極29との電気的な接觸を防ぐために形成されるものである。また、前記PGS膜28の形成後、リフロー工程を実行することによって、前記p⁻型不純物注入層18を形成する時に半導体層14の表面に発生した損傷を補償することができる。すなわち、前記リフロー工程を高温で約20~30分間実行すると、イオン注入時に損傷された前記半導体層14の表面が再び均等になる。

【0032】図5(a)は上述の方法によって製造された電力半導体装置の一部の断面図であり、図5(b)は図5(a)の矢印で示すように電気電力半導体状態のn⁻型半導体層14の表面で水平方向に見た不純物濃度分布図である。上記電力半導体装置によれば、チャンネル層の表面のp型不純物濃度が増加していないことが図5

11

(b) から分かる。即ち、ラッチアップ制御用p型不純物拡散領域24がソース接合領域25の側面に沿ってチャンネル層まで形成されていないというのを示している。

【0033】図6(a)は前記電力半導体装置の一部の断面図であり、図6(b)は図6(a)の矢印で示すように前記電力半導体装置のソース接合領域25の表面から垂直方向に見た不純物濃度分布図である。図6(b)は、前記ソース接合領域25の真下にp型ドープ剤が拡散されている領域24があることを示している。すなわち、ソース接合領域25の下にp⁻型ウェル領域19より高い濃度を有するp型トープ剤が拡散されていて、この領域を通して流れるホール電流を減らすことができる事を表わしている。

【0034】図7(a)は前記電力半導体装置の一部の断面図であり、図7(b)は図7(a)の矢印で示すように前記電力半導体装置のp⁺型カソードオーミック接触領域27の表面から垂直方向に見た不純物濃度分布図である。図7(b)は、カソードコンタクト表面に金属電極29との接触特性を良くするために高濃度のp⁺型ドープ剤が拡散されていることを表わしている。

【0035】上述の方法によって製造された電力半導体装置において、p⁺型カソードオーミック接触領域27はラッチアップ制御用p型不純物拡散領域24より高濃度にドープされているので、金属電極29のコンタクト特性が良くなる。また、p型不純物拡散領域24はソース接合領域25の真下に形成されていながらウェル領域19より不純物濃度が高いもののカソードオーミック接触領域27より低い不純物濃度を有しているので、ソース接合領域25の下方に流れるホール電流の増加を防ぐことができる。

【0036】そのうえ、上述の本発明の方法によると、p⁻型ウェル領域19を通して半導体層14までラッチアップ制御用のp⁺型ウェル領域を形成する必要がなく、p⁺型ウェル領域を省略してラッチアップの発生を防止することができる。

【0037】さらに、本発明の方法では、p⁺型ウェル領域を設ける場合に必要なイオン注入が不要となって、それぞれのセル毎にはば2~3μmの幅を有するイオン注入窓を開口する必要がなくなるので、そのイオン注入窓形成用マスクを製作することが不要となる。その結果、製造工程が簡素化されることは勿論のこと、チップサイズを縮小させることもできる。

【0038】図8ないし図10は本発明の電力半導体装置の製造方法の第2の実施の形態を示す断面図である。この方法では、酸化膜パターンを用いて、ラッチアップ制御用のp型不純物注入層とカソードオーミック接触用のp⁺型不純物注入層を1回のイオン注入工程によって同時に形成することができ、高価な装備を使用するイオン注入工程の回数を減らすことができる。以下、製造方

12

法を詳述する。

【0039】まず図8(a)に示すように、高濃度のp⁺型半導体基板12上に燐(P)をドーパントとして高濃度ながら厚さが薄いn⁺型バッファ層13をエピタキシャル成長によって形成する。次に、前記n⁺型バッファ層13上に燐(P)をドーパントとする低濃度のn⁻型半導体層14をエピタキシャル成長によって形成する。

【0040】つづいて、前記n⁻型半導体層14上に酸化膜15' とポリシリコン膜及び感光膜を順次に形成し、ゲート形成用マスクを使用するよく知られている写真工程によって前記感光膜をバターニングしてウェル形成領域を区切る。次に、前記感光膜のバターニングによって形成された感光膜パターン17をゲート形成用マスクとして使用する食刻工程によって、図8(b)に示すように前記ポリシリコン膜を選択的に除去して前記酸化膜15' 上にゲートポリシリコン膜16を形成する。

【0041】ここで、ゲートポリシリコン膜16はゲート電極として機能するためには導電性を持たなければならないが、この技術分野でよく知られている不純物注入技術によって導電性を与えることができる。不純物注入は、ポリシリコン膜を基板上の全面に形成した段階で行うことができる。

【0042】次に、感光膜パターン17の除去後、前記ゲートポリシリコン膜16をウェル領域形成用マスクとして使用して低濃度のp⁻型不純物イオンを半導体層14に注入する。その結果、図8(c)に示されるように、前記半導体層14内にp⁻型不純物注入層18が形成される。つづいて熱拡散工程を実行することにより、前記p⁻型不純物注入層18が拡散されてp⁻型ウェル領域19が図9(a)に示されるように半導体層14内に形成される。

【0043】次に、ソース接合領域及びラッチアップ制御用不純物領域を形成するためのマスクを使用する選択的なエッティング工程によって前記酸化膜15' を選択的に除去することにより、この酸化膜15' を図9(b)に示すようにゲート酸化膜15と酸化膜パターン15aとする。酸化膜パターン15aは、p⁻型ウェル領域19の表面上に形成される。

【0044】次に、酸化膜パターン15aをマスクとして高濃度n⁺型不純物の注入工程を実行することにより、図9(c)に示すように、ソース接合領域形成用のn⁺型不純物注入層(第1不純物注入層)22をウェル領域19内の所定の深さに形成する。

【0045】つづいて、ゲートポリシリコン膜16をマスクとして、p⁻型ウェル領域19の不純物濃度より高い高濃度のp型不純物のイオン注入を実施することにより、図10(a)に示すように、ウェル領域19内にラッチアップ制御用のp型不純物注入層(第2不純物注入層)20とカソードオーミック接触用のp⁺型不純物注

50

13

入層（第3不純物注入層）26を同時に形成する。このとき、不純物注入工程は、図9(c)に示された不純物注入工程より高いエネルギーを持って実行され、酸化膜の除去部を通して形成される、ラッチアップ制御用のp型不純物注入層20は、前記ソース接合領域形成用n⁺型不純物注入層22より深く形成される。また、酸化膜バターン15aを通して形成されるカソードオーミック接触用のp⁺型不純物注入層26は、前記ソース接合領域形成用n⁺型不純物注入層22より深く、そして前記ラッチアップ制御用p型不純物注入層20よりは浅く形成される。

【0046】なお、この例ではソース接合領域形成用n⁺型不純物注入層22の形成後、ラッチアップ制御用p型不純物注入層20とカソードオーミック接触用p⁺型不純物注入層26を形成したが、前記不純物注入層20, 26をまず形成した後、前記不純物注入層22を形成するようにしてもよい。

【0047】その後、熱拡散工程を実行する。すると、不純物注入層22, 20, 26の不純物イオンが同時に拡散されて、図10(b)に示すようにウェル領域19内にn⁺型ソース接合領域25とラッチ制御用のp型不純物拡散領域24とカソードオーミック接触領域27が形成される。このとき、前記不純物拡散領域24は、熱拡散時間と温度を適切に設定することにより、前記p⁻型ウェル領域19内で前記n⁺型ソース接合領域25の底部を覆い、しかし前記ゲート酸化膜15の下部にあるチャンネルまでは延長されないように形成される。

【0048】そして、このp型不純物拡散領域24は前記p⁻型ウェル領域19より高い不純物濃度を持っているので、ラッチアップ現象を防止することができる。すなわち、前記n⁺型ソース接合領域25の下にラッチアップ制御用の不純物拡散領域24が形成されていると、前記ソース接合領域25の下の抵抗値が少なくなり、前記p型不純物拡散領域24と前記n⁺型ソース接合領域25との電圧差が小さくなつて、寄生n⁻p⁻n⁻p⁻ダイリストが作動することを防止することができる。なお、上記の熱拡散工程は後続のPSG膜の形成工程と同時に実行することもできる。

【0049】つづいて、前記酸化膜バターン15aを除去した後、前記ゲートポリシリコン膜16上を含んで全表面にPSG膜28を形成し図10(b)のようにパターニングして、前記カソードオーミック接触領域27は勿論のこと、前記ソース接合領域25の一部表面が露出されるコンタクトホールを形成し、つづいてコンタクトホールで前記領域27, 25に接続される金属電極29を前記PSG膜28上に形成する。なお、PSG膜28は、前記ゲートポリシリコン膜16と前記金属電極29との電気的な接触を防止するために形成されるものである。また前記PSG膜28の形成後、リフロー工程を実行することによって、前記不純物注入層22, 20形

10

14

成時に半導体層14の表面上に発生した損傷を補償することができる。すなわち、前記リフロー工程を高温で約20~30分間実行すると、イオン注入時に損傷された前記半導体層14の表面が再び均等になる。

【0050】そして、上記のような第2の実施の形態によると、ラッチアップ制御用p型不純物注入層20とカソードオーミック接触用n⁺型不純物注入層26を1回のイオン注入工程によって同時に形成できるので、第1の実施の形態の製造方法に比較してイオン注入工程の回数を減すことができる効果を持っている。

【0051】

【発明の効果】以上詳細に説明したように、本発明の電力半導体装置及びその製造方法によれば、p⁺ウェル領域を使用しないでラッチアップを改善でき、製造工程が簡単になるとともに、チップサイズを縮小できる。

【図面の簡単な説明】

【図1】本発明による電力半導体装置の実施の形態を示す断面図。

【図2】本発明による電力半導体装置の製造方法の第1の実施の形態を示す断面図。

【図3】本発明による電力半導体装置の製造方法の第1の実施の形態を示し、図2に続く工程を示す断面図。

【図4】本発明による電力半導体装置の製造方法の第1の実施の形態を示し、図3に続く工程を示す断面図。

【図5】本発明の製造方法の第1の実施の形態により製造された電力半導体装置の一部の断面図および不純物濃度分布図。

【図6】本発明の製造方法の第1の実施の形態により製造された電力半導体装置の一部の断面図および不純物濃度分布図。

【図7】本発明の製造方法の第1の実施の形態により製造された電力半導体装置の一部の断面図および不純物濃度分布図。

【図8】本発明による電力半導体装置の製造方法の第2の実施の形態を示す断面図。

【図9】本発明による電力半導体装置の製造方法の第2の実施の形態を示し、図8に続く工程を示す断面図。

【図10】本発明による電力半導体装置の製造方法の第2の実施の形態を示し、図9に続く工程を示す断面図。

【図11】従来の電力半導体装置を示す断面図。

【符号の説明】

12 p⁺型半導体基板

13 n⁺型バッファ層

14 n⁻型半導体層

15 ゲート酸化膜

16 ゲートポリシリコン膜

19 p⁻型ウェル領域

24 p型不純物拡散領域

25 n⁺型ソース接合領域

50 27 p⁺型カソードオーミック接触領域

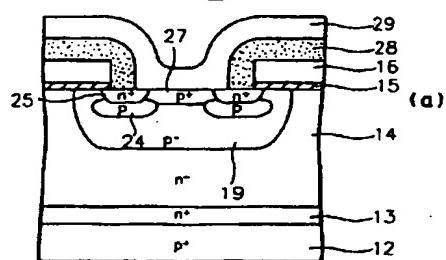
15

- 28 PSG膜
29 金属電極
18 p-型不純物注入層
20 p型不純物注入層
21 窒化膜パターン

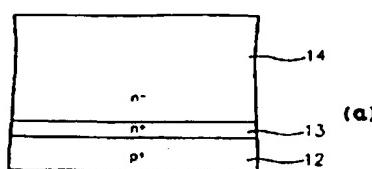
16

- 22 n+型不純物注入層
26 p+型不純物注入層
15 酸化膜
15a 酸化膜バターン

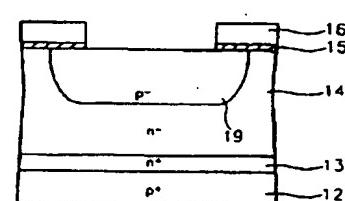
【図1】



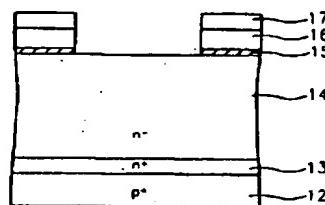
【図2】



【図3】

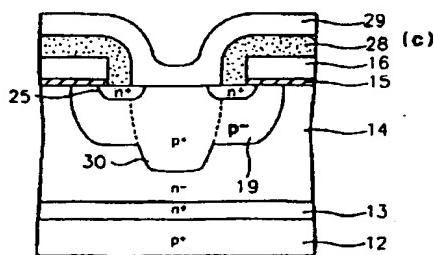


(b)

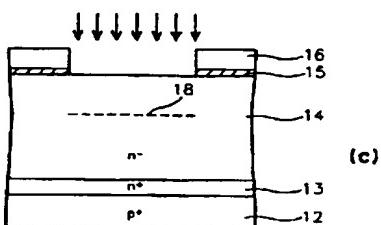


(b)

【図11】

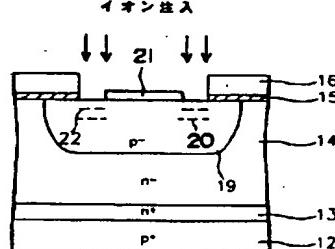


イオン注入

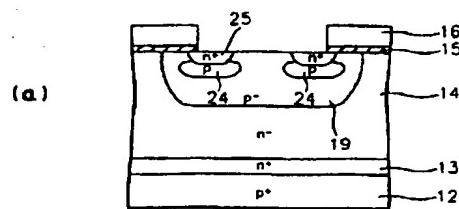


(c)

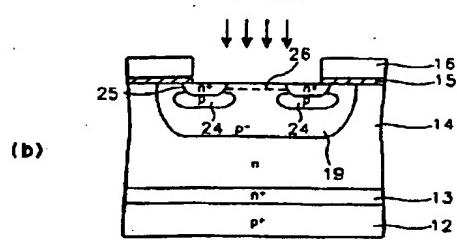
イオン注入



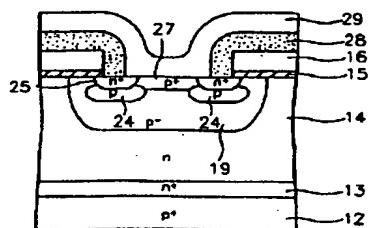
【図4】



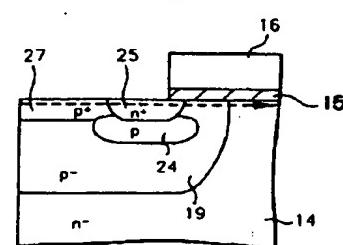
イオン注入



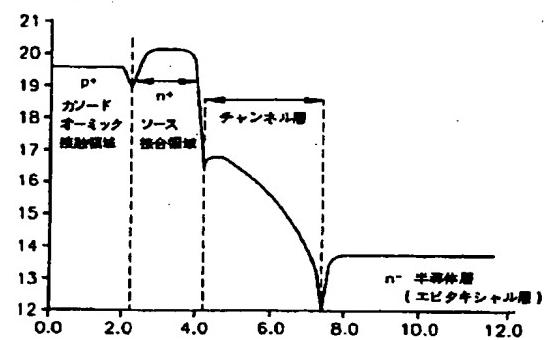
(c)



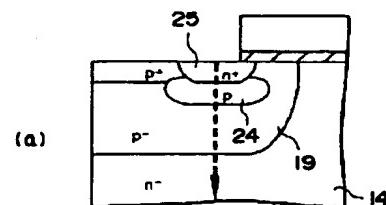
【図5】



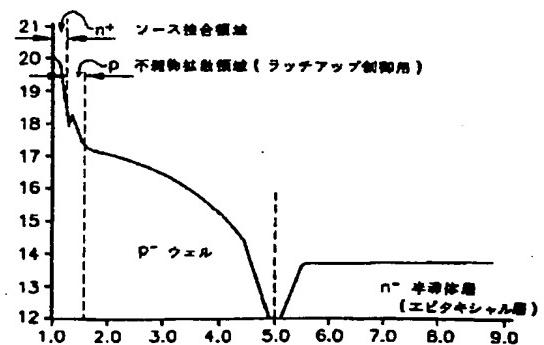
(b)

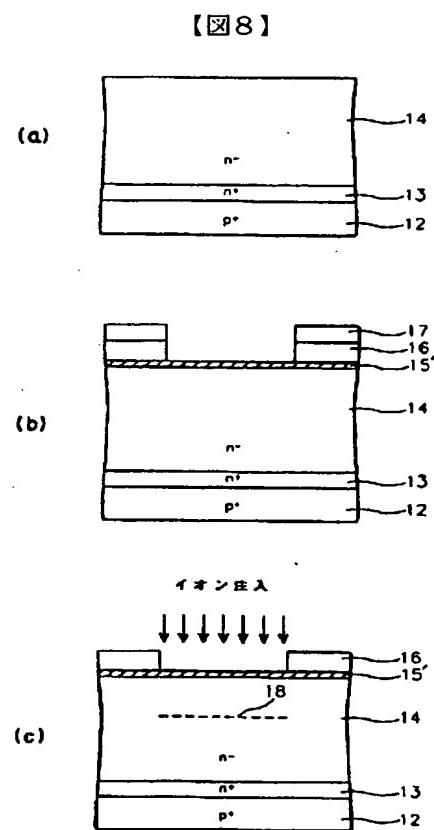
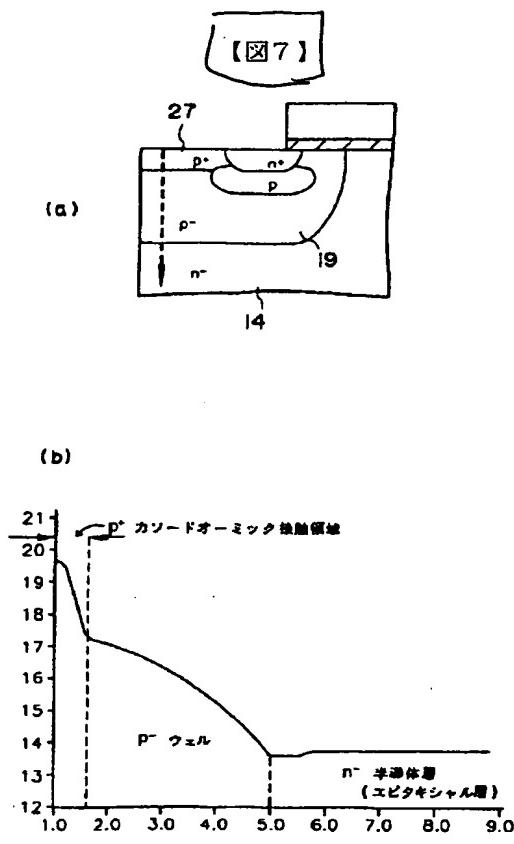


【図6】

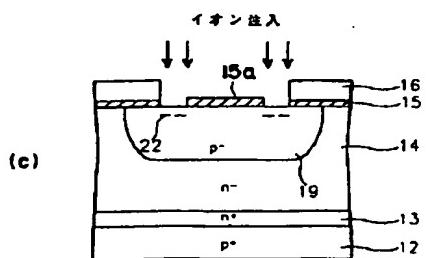
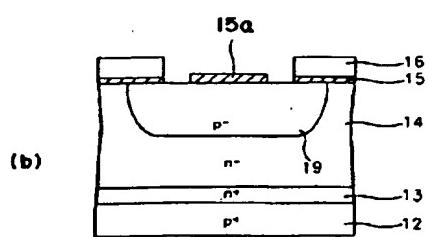
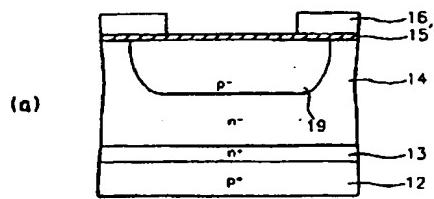


(b)





【図9】



【図10】

